

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-260048

(43)Date of publication of application : 27.10.1988

(51)Int.Cl.

H01L 21/82

H01L 27/04

(21)Application number : 62-094379

(71)Applicant : NEC CORP

(22)Date of filing : 16.04.1987

(72)Inventor : OZAWA YUKIO

(54) MASTER SLICE SEMICONDUCTOR DEVICE

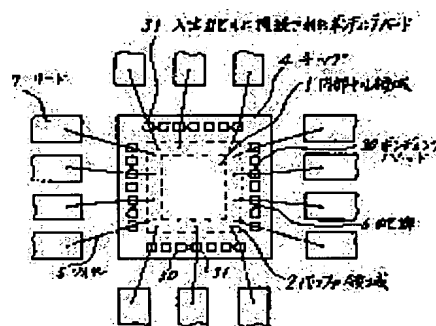
(57)Abstract:

PURPOSE: To mount easily a chip to a package having a different lead configuration by connecting bonding pads which are connected to input/output cells or power source interconnections to the bonding pads which are not connected to the input/output cells or power source interconnections through respective interconnections.

CONSTITUTION: An inner cell region 1 where basic cells that are able to make up logical circuits are arranged and a buffer region 2 where input/output cells that are able to make up input/output cells circuits are arranged at a peripheral part of the inner cell region 1 as well as bonding pads which are arranged at an outer

circumference of the buffer region 2 are formed at a chip 4 consisting of a semiconductor substrate. The bonding pads 31 which are connected to input/output cells are connected to the bonding pads 30 that are not connected to input/output cells and are adjacent to the bonding pads 31 through interconnections 6. And the bonding pads 31 which are connected to input/output

cells are connected correspondingly with leads 7 of a package mounted at the chip 4 through bonding wires 5. Thus, even when the chip 4 is mounted at the package having a different lead configuration, the utilization of the bonding pads 30 allows the connection between the lead 7 and the input/output cells.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

1

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-260048

⑪ Int. Cl.⁴

H 01 L 21/82
27/04

識別記号

庁内整理番号

8526-5F
A-7514-5F

⑬ 公開 昭和63年(1988)10月27日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 マスタースライス型半導体装置

⑮ 特 願 昭62-94379

⑯ 出 願 昭62(1987)4月16日

⑰ 発 明 者 小 澤 幸 雄 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

マスタースライス型半導体装置

特許請求の範囲

論理回路を構成し得る基本セルを配列した内部セル領域と該内部セル領域の外周部に入出力回路を構成し得る入出力セルを配列したバッファ領域と該バッファ領域の外周部に配列したボンディングパッドとを有する半導体基板上に、配線パターンを形成することにより所望の回路動作を実現するマスタースライス型半導体装置において、前記バッファ領域の入出力セル又は電源配線に接続された前記ボンディングパッドは、入出力セル又は電源配線と接続されていない隣接するボンディングパッドと配線により接続されていることを特徴とするマスタースライス型半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明はマスタースライス型半導体装置に関する。

(従来の技術)

従来マスタースライス型半導体装置、特にゲートアレイと呼ばれるものは、その使用目的、機能によりチップ内部の回路規模及びその搭載パッケージは多種多用に分れている。また個々の品種設計に於いては、回路機能決定さらサンプル製造完了まで数週間という極めて短納期が要求されている。

従ってゲートアレイチップのレイアウトは第5図に示す様に規格化され、なおかつ冗長性の高い構造になっている。

すなわち、第5図に示した様に半導体基板上には、論理回路を構成し得る基本セルが多数アレイ状に配列される内部セル領域1とその周囲に形成された入出力回路用の入出力セルが配列されるバッファ領域2とこのバッファ領域の外側に、チップ4とチップ4を搭載するパッケージのピンをつ

なぐワイヤー5をボンディングするパッドが配列されているボンディングパッド領域3が形成されている。そして上記領域内の各素子やボンディングパッドが、コンピュータにより自動設計された配線パターンにより接続され、短時間で所望の論理回路を有するマスタースライス型半導体装置が完成する。

〔発明が解決しようとする問題点〕

第5図に示したように、ゲートアレイの素子に接続されるボンディングパッド31の位置は、チップ4を搭載するパッケージにより最適位置が決定されてしまい、それらに対応する入出力セルによりバッファ回路21、22、23等が構成される。

従来のゲートアレイの場合引き回し配線領域を削減する為、ボンディングパッドとその対応するバッファ用入出力セルの位置関係は一对一で固定されているため、所望の回路を決定し配線パターンを形成したチップを他の異なるリード配位を有するパッケージへ搭載しようとした場合、バッ

ファ回路の構成位置、さらにそれに接続される内部配線まで変更しなければならぬ。この場合配線パターンの自動設計、回路動作チェック等に新規品種と同様の工数を要してしまうという問題点がある。

本発明の目的は、リード配位の異なるパッケージへのチップの搭載が容易なマスタースライス型半導体装置を提供することにある。

〔問題点を解決するための手段〕

本発明のマスタースライス型半導体装置は、論理回路を構成し得る基本セルを配列した内部セル領域とこの内部セル領域の外周部に入出力回路を構成し得る入出力セルを配列したバッファ領域とこのバッファ領域の外周部に配列したボンディングパッドとを有する半導体基板上に、配線パターンを形成することにより所望の回路動作を実現するマスタースライス型半導体装置において、前記バッファ領域の入出力セル又は電源配線に接続された前記ボンディングパッドは、入出力セル又は電源配線と接続されていない隣接するボンディン

グパッドと配線により接続されているものである。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例の平面図である。

第1図において、半導体基板からなるチップ4には論理回路を構成し得る基本セルを配列した内部セル領域1と、この内部セル領域1の外周部に入出力回路を構成し得る入出力セルを配列したバッファ領域2と、このバッファ領域2の外周に配列されたボンディングパッドとが形成されており、特に入出力セルに接続されたボンディングパッド31は、配線6により入出力セルに接続されていない隣接するボンディングパッド30に接続されている。そしてこれら入出力セルに接続されたボンディングパッド31はワイヤー5により、チップ4が搭載されたパッケージのリード7と対応して接続されている。

このように構成された本実施例のチップ4を、異なるリード配位を有するパッケージに搭載した場合でも、第2図に示すように、入出力セルに接続されたボンディングパッド31が配線6により隣接するボンディングパッド30に接続されているため、このボンディングパッド30を利用することによりリード7と入出力セルとの接続は可能となる。従って従来のように入出力セルの配置等を変更する必要はなくなる。

第3図は本発明の第2の実施例の平面図であり、特にウェーハ上のチップ選別時の電源接続図を示している。

第3図において、チップ4上に形成され、電源配線10に接続されたボンディングパッド31Aは、未使用のボンディングパッド30に配線6により接続される。

このように構成された第2の実施例においては、第1図に示した第1の実施例と同様に組立上の利点の他に、ウェーハ状態での選別時に電力をより安定に供給することが可能となる。

すなわち、第4図に示すように従来のチップでは、チップ4への電力供給は1本のプローブ8を介して行われるれるが、その電圧のモニターは、プローブ8から電源装置11よりの方でしかできない。この場合、プローブ8の抵抗分及びパッド31との接触抵抗による電圧降下により誤差が生じる。

一方、第3図に示した第2の実施例のチップ4では、ボンディングしないパッド30にもプローブ8を当てて、モニターすることができるため前述した誤差をなくすることができる。

(発明の効果)

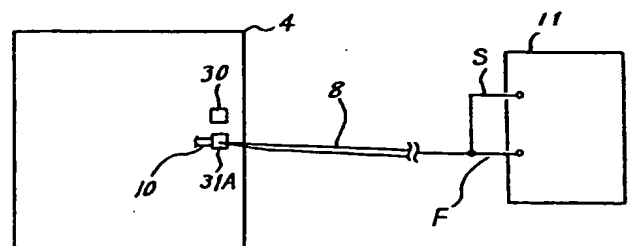
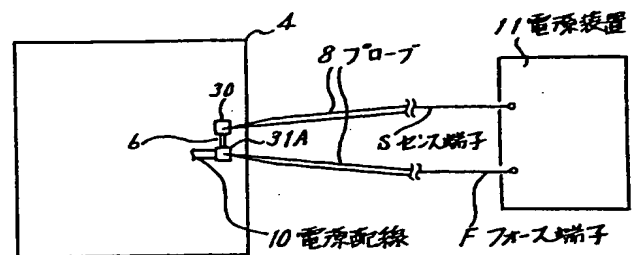
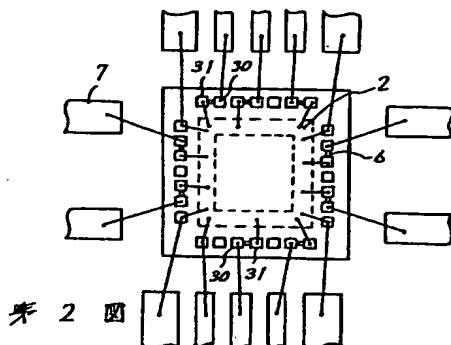
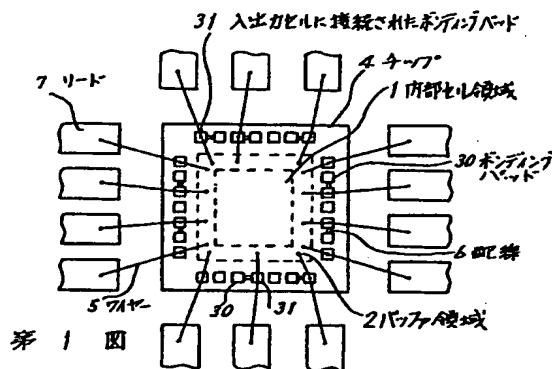
以上説明したように本発明は、入出力セル又は電源配線に接続されたボンディングパッドと、入出力セル又は電源配線に接続されていないボンディングパッドとを配線により接続することにより、リード配位の異なるパッケージへのチップの搭載が容易なマスタースライス型半導体装置が得られる。

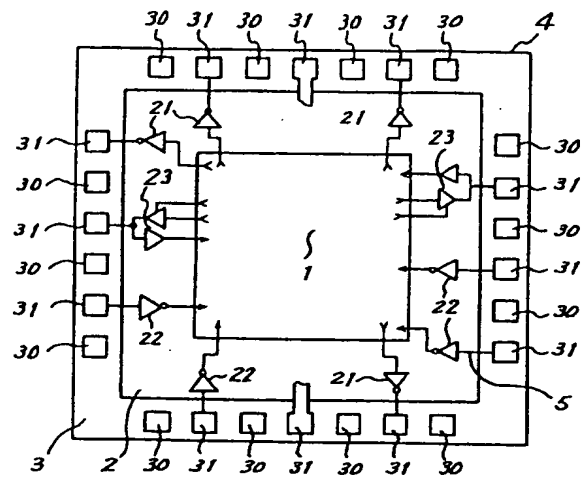
図面の簡単な説明

第1図及び第2図は本発明の第1の実施例の平面図、第3図は本発明の第2の実施例の平面図、第4図及び第5図は従来のマスタースライス型半導体装置の平面図である。

1…内部セル領域、2…バッファ領域、3…ボンディングパッド領域、4…チップ、5…ワイヤー、6…配線、7…リード、8…プローブ、10…電源配線、21、22、23…バッファ回路、30…ボンディングパッド、31…入出力セルに接続されたボンディングパッド、31A…電源配線に接続されたボンディングパッド。

代理人 弁理士 内 原 晋





第 5 図

- | | |
|----------------|--------------------|
| 1: 内部セル領域 | 21, 22, 23: バッファ回路 |
| 2: バッファ領域 | 30: ボンディングパッド |
| 3: ボンディングパッド領域 | 31: 入出力信号接続点 |
| 4: チップ | ボンディングパッド |
| 5: レイヤー | |